

10/537124

PCT/JP 03/15328

日本国特許庁
JAPAN PATENT OFFICE

01.12.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 3日
Date of Application:

出願番号 特願2002-351187
Application Number:

[ST. 10/C]: [JP 2002-351187]

RECEIVED	
22 JAN 2004	
WIPO	PCT

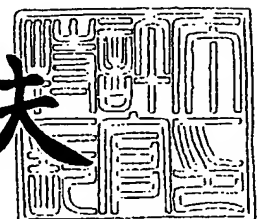
出願人 三洋電機株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 1月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3109467

【書類名】 特許願
【整理番号】 KGA1020069
【提出日】 平成14年12月 3日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/76
【発明者】

【住所又は居所】 インド国 5 6 0 0 6 6 ユニット 0 3, レベル 0 8, デ
ィスカバー ブロック インターナショナル テックパ
ーク ホワイトフィールド ロード バンガローサンヨ
ー エルएसアイ テクノロジー インディア プライ
ベート リミテッド 内

【氏名】 サッチン アガラワル

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【選任した代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路レイアウト構造

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 のトランジスタが、4 つのサブトランジスタを含む第 1 のセル、第 2 のセル、第 3 のセル及び第 4 のセルから構成され、全体として 4 行 4 列のマトリックスに配置された 16 個のサブトランジスタから成る回路レイアウト構造であって、

前記第 1 のセルは、第 1 行第 1 列及び第 2 行第 2 列に前記第 2 のトランジスタを構成するサブトランジスタがそれぞれ配置され、第 1 行第 2 列及び第 2 行第 1 列に前記第 1 のトランジスタを構成するサブトランジスタがそれぞれ配置され、かつこれらのサブトランジスタは共通の中心点に対して対称に配置されて成り、
前記第 2 のセルは、前記第 1 のセルに対して線対称に配置されて成り、

前記第 3 のセル及び前記第 4 のセルは、前記第 1 のセル及び前記第 2 のセルに対して線対称に配置されて成ることを特徴とする回路レイアウト構造。

【請求項 2】 前記第 1 のトランジスタを構成する各サブトランジスタのゲートと前記第 2 のトランジスタを構成する各サブトランジスタのゲートが共通接続され、前記第 1 及び第 2 のトランジスタがカレントミラー回路を構成することを特徴とする請求項 1 記載の回路レイアウト構造。

【請求項 3】 前記第 1 のトランジスタを構成する各サブトランジスタのゲートが共通に接続されて前記第 1 のトランジスタのゲートを構成し、前記第 2 のトランジスタを構成する各サブトランジスタのゲートが共通接続されて前記第 2 のトランジスタのゲートを構成することを特徴とする請求項 1 記載の回路レイアウト構造。

【請求項 4】 前記第 1 及び第 2 のトランジスタが差動アンプの差動入力ペアトランジスタを構成することを特徴とする請求項 3 記載の回路レイアウト構造。

【請求項 5】 前記第 1 のトランジスタを構成する各サブトランジスタのソースが共通接続され、かつ前記第 1 のトランジスタを構成する各サブトランジスタのドレインが共通接続されたことを特徴とする請求項 1、2、3、4 のいずれ

かに記載の回路レイアウト構造。

【請求項 6】 前記第 2 のトランジスタを構成する各サブトランジスタのソースが共通接続され、かつ前記第 2 のトランジスタを構成する各サブトランジスタのドレインが共通接続されたことを特徴とする請求項 5 に記載の回路レイアウト構造。

【請求項 7】 前記第 1 のセル、第 2 のセル、第 3 のセル及び第 4 のセルから成る回路が、線対称となるように複数配置されていることを特徴とする請求項 1、2、3、4 のいずれかに記載の回路レイアウト構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路レイアウト構造に関し、例えばカレントミラー回路や差動アンプのようにトランジスタペアを有した回路において、トランジスタペアのマッチング特性を向上させた回路レイアウト構造に関する。

【0002】

【従来の技術】

トランジスタ間の精密なマッチングは、カレントミラー回路や差動アンプの構成にとって重要である。特に、この精密なマッチングは、低オフセットのオペアンプを得るための助けとなる。図 7 は差動ゲイン段を示す回路図である。一對の MOS トランジスタ M3、M4 がカレントミラー回路 10 を形成しており、もう一對の MOS トランジスタ M1、M2 が差動入力ペア 11 を構成しており、それぞれの一對の MOS トランジスタは精密にマッチングすることが要求される。

【0003】

カレントミラー回路 10 を構成するための最も基本的なレイアウトスキームは、横型レイアウトスキーム (Lateral Layout Scheme) である。これよりも優れた選択肢は、共通中心点型レイアウトスキーム (Common-Centroid Layout Scheme) である。これらのレイアウトスキーム及び 4 セグメント型レイアウトスキーム (Four-Segment Layout Scheme) と呼ばれるスキームは非特許文献 1 に記載されている。

【0004】

以下、これらの従来のレイアウトスキームについて説明する。図8は、共通中心点型レイアウトスキームを示す図である。図9は図8の等価回路を示す図である。M1, M2はマッチングがとられるべきMOS電界効果型トランジスタである。トランジスタM1はサブトランジスタMS11及びMS21に分割され、同様にトランジスタM2はサブトランジスタMS21及びMS22に分割されている。

【0005】

図8に示すようこれらのサブトランジスタは共通の中心点Pを有するため、共通中心点型レイアウトスキームと呼ばれている。また、図9に示すように、サブトランジスタMS11及びMS21のゲート、ドレイン及びソースは共通に接続されてトランジスタM1を構成し、同様に、サブトランジスタMS21及びMS22のゲート、ドレイン及びソースは共通に接続されてトランジスタM2を構成している。

【0006】

ところで、トランジスタのマッチングに関する報告（非特許文献2）及びプロセスに依存したレイアウト構造を参照すると、様々なレイアウトのトランジスタがモデル化されている。そのようなデバイスの等価的なしきい値電圧は非特許文献2によれば次式で与えられる。

【0007】

【数1】

$$V_{T_{eq}} = \frac{\iint V_T(x,y) \, dx dy}{ActiveArea}$$

【0008】

ここで、Active Areaとはサブトランジスタの活性化領域、つまり電流が流れるチャネル領域を意味している。 $V_T(x, y)$ は x, y 座標に依存した局所的なしきい値電圧であり、これを活性化領域に亘って面積分してその平均値を求め

ている。

【0009】

また、しきい値電圧はプロセス上の理由からウエハーの面内で場所によって変化しており、このしきい値電圧の変化を、図8中に示す原点Oからの勾配振幅(gradient amplitude) α 及び勾配方位角(gradient direction) θ を導入することでモデル化することができる。

【0010】

そこで、このようなしきい値電圧モデルを上記のサブトランジスタMS11, MS12, MS21, MS22に適用してそれぞれに対応するしきい値 V_{T11} , V_{T12} , V_{T21} , V_{T22} を求めることができる。

【0011】

まず、サブトランジスタMS11のしきい値 V_{T11} については次式で与えられる。

【0012】

【数 2】

$$\begin{aligned}
 \text{MS11: } V_{T11} &= \frac{\int_{(L_s+d_2)}^{(2L_s+d_2)} \int_{(W_s+d_1)}^{2W_s+d_1} [V_T + (L_s \alpha \sin \theta) + (W_s \alpha \cos \theta)] \times [dW] \times [dL]}{W_s \times L_s} \\
 \Rightarrow V_{T11} &= \frac{\int_{(L_s+d_2)}^{(2L_s+d_2)} \left[V_T W_s + L_s W_s \alpha \sin \theta + \alpha \cos \theta \left(\frac{(d_1 + 2W_s)^2 - (d_1 + W_s)^2}{2} \right) \right] [dL]}{W_s \times L_s} \\
 \Rightarrow V_{T11} &= \frac{\int_{(L_s+d_2)}^{(2L_s+d_2)} \left[V_T W_s + L_s W_s \alpha \sin \theta + \alpha \cos \theta \left(\frac{d_1^2 + 4W_s^2 + 4d_1 W_s - d_1^2 - W_s^2 - 2d_1 W_s}{2} \right) \right] [dL]}{W_s \times L_s} \\
 \Rightarrow V_{T11} &= \frac{\int_{(L_s+d_2)}^{(2L_s+d_2)} \left[V_T W_s + L_s W_s \alpha \sin \theta + \alpha \cos \theta \left(\frac{3W_s^2 + 2W_s d_1}{2} \right) \right] [dL]}{W_s \times L_s} \\
 \Rightarrow V_{T11} &= \frac{\int_{(L_s+d_2)}^{(2L_s+d_2)} \left[V_T + L_s \alpha \sin \theta + \alpha \cos \theta \left(\frac{3W_s}{2} + d_1 \right) \right] [dL]}{L_s} \\
 \Rightarrow V_{T11} &= \frac{\left[V_T L_s + \alpha \cos \theta \left(\frac{3W_s}{2} + d_1 \right) L_s + \alpha \sin \theta \left(\frac{(2L_s + d_2)^2 - (L_s + d_2)^2}{2} \right) \right]}{L_s} \\
 \Rightarrow V_{T11} &= \frac{\left[V_T L_s + \alpha \cos \theta \left(\frac{3W_s}{2} + d_1 \right) L_s + \alpha \sin \theta \left(\frac{4L_s^2 + d_2^2 + 4L_s d_2 - L_s^2 - d_2^2 - 2L_s d_2}{2} \right) \right]}{L_s} \\
 \Rightarrow V_{T11} &= \frac{\left[V_T L_s + \alpha \cos \theta \left(\frac{3W_s}{2} + d_1 \right) L_s + \alpha \sin \theta \left(\frac{3L_s^2 + 2L_s d_2}{2} \right) \right]}{L_s} \\
 \Rightarrow V_{T11} &= V_T + \alpha \left(\frac{3W_s}{2} + d_1 \right) \cos \theta + \alpha \left(\frac{3L_s}{2} + d_2 \right) \sin \theta
 \end{aligned}$$

【0013】

同様に、サブトランジスタMS12のしきい値 V_{T12} については次式で与えられる。

【0014】

【数 3】

$$\text{MS12: } V_{T12} = V_T + \frac{W_s}{2} \alpha \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

【0015】

同様に、サブトランジスタMS21のしきい値 V_{T21} については次式で与えられる。

【0016】

【数 4】

$$\text{MS21: } V_{T21} = V_T + \alpha \left(\frac{3W_s}{2} + d_1 \right) \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

【0017】

同様に、サブトランジスタMS22のしきい値 V_{T22} については次式で与えられる。

【0018】

【数 5】

$$\text{MS22: } V_{T22} = V_T + \frac{W_s}{2} \alpha \cos \theta + \alpha \left(\frac{3L_s}{2} + d_2 \right) \sin \theta$$

【0019】

数2～数5において、 d_1 は隣接するサブトランジスタのドレイン（ソース）間の距離、 d_2 は隣接するサブトランジスタ間のゲート間の距離、 W_s はサブトランジスタのゲート幅、 L_s はサブトランジスタのゲート長である。

【0020】

次に、図10は、4セグメント型レイアウトスキームを示す図である。図11は図10の等価回路を示す図である。M1、M2はマッチングがとられるべきMOS電界効果型トランジスタである。トランジスタM1はサブトランジスタMS11、MS12、MS13及びMS14に分割され、これらのサブトランジスタ

は4つのセグメントに配置されている。

【0021】

同様に、トランジスタM2はサブトランジスタMS21, MS22, MS23及びMS24に分割され、これらのサブトランジスタは4つのセグメントに配置されている。

【0022】

この4セグメントレイアウトスキームについても図10中に示すように、原点O、勾配振幅 α 及び勾配方位角 θ が定義され、しきい値のモデリング結果を記述する以下の式が得られる。すなわち、以下の式においてサブトランジスタMS11のしきい値を V_{T11} 、サブトランジスタMS12のしきい値を V_{T12} 、サブトランジスタMS13のしきい値を V_{T13} 、サブトランジスタMS14のしきい値を V_{T14} 、サブトランジスタMS21のしきい値を V_{T21} 、サブトランジスタMS22のしきい値を V_{T22} 、サブトランジスタMS23のしきい値を V_{T23} 、サブトランジスタMS24のしきい値を V_{T24} とする。

【0023】

【数6】

$$\text{MS11: } V_{T11} = V_T - \alpha \left(\frac{W}{2} + \frac{d_1}{2} \right) \cos \theta + \alpha \left(\frac{L}{2} + W + \frac{3d_1}{2} \right) \sin \theta$$

【0024】

【数7】

$$\text{MS12: } V_{T12} = V_T + \alpha \left(W + \frac{L}{2} + \frac{3d_1}{2} \right) \cos \theta + \alpha \left(\frac{W}{2} + \frac{d_1}{2} \right) \sin \theta$$

【0025】

【数8】

$$\text{MS13: } V_{T13} = V_T + \alpha \left(\frac{W}{2} + \frac{d_1}{2} \right) \cos \theta - \alpha \left(\frac{L}{2} + W + \frac{3d_1}{2} \right) \sin \theta$$

【0026】

【数9】

$$\text{MS14: } V_{r14} = V_r - \alpha \left(W + \frac{L}{2} + \frac{3d_1}{2} \right) \cos \theta - \alpha \left(\frac{W}{2} + \frac{d_1}{2} \right) \sin \theta$$

【0027】

【数10】

$$\text{MS21: } V_{r21} = V_r + \alpha \left(\frac{W}{2} + \frac{d_1}{2} \right) \cos \theta + \alpha \left(\frac{L}{2} + W + \frac{3d_1}{2} \right) \sin \theta$$

【0028】

【数11】

$$\text{MS22: } V_{r22} = V_r + \alpha \left(W + \frac{L}{2} + \frac{3d_1}{2} \right) \cos \theta - \alpha \left(\frac{W}{2} + \frac{d_1}{2} \right) \sin \theta$$

【0029】

【数12】

$$\text{MS23: } V_{r23} = V_r - \alpha \left(\frac{W}{2} + \frac{d_1}{2} \right) \cos \theta - \alpha \left(\frac{L}{2} + W + \frac{3d_1}{2} \right) \sin \theta$$

【0030】

【数13】

$$\text{MS24: } V_{r24} = V_r - \alpha \left(W + \frac{L}{2} + \frac{3d_1}{2} \right) \cos \theta + \alpha \left(\frac{W}{2} + \frac{d_1}{2} \right) \sin \theta$$

【0031】

数6～数13において、 d_1 は隣接するサブトランジスタのドレイン（ソース）間の距離、 W_S はサブトランジスタのゲート幅、 L_S はサブトランジスタのゲート長である。

【0032】

【非特許文献1】

マオーフェング ラン, アニルクマル タミネディ及びランダール ガイア
「マッチング特性向上のためのカレントミラーレイアウト戦略」アナログ イン
テグレートッド サーキット アンド シグナル プロセッシング 第28巻、
9-26頁、2001年7月

(Mao-Feng Lan, Anikumar Tammineedi and Randall Geiger, "Current Mirror
Layout Strategies for Enhanced Matching Performance", Analog Integrated
Circuits and Signal Processing, Vol28, PP.9-26, July 2001)

【0033】

【非特許文献2】

エミ・ジェイ・エム ペルグロム, エー・シー・ジェイ ドウインマイジェル
及びエー・ピー・ジー ウェルバース「MOSトランジスタのマッチング特性」
アイ・イー・イー・イー ジェイ・エス・エス・シー SC-24巻、1433
-1439頁、1989年

(M.J.M. Pelgrom, A.C.J. Duinmaijer and A.P.G. Welbers, "Matching properties of MOS transistors" IEEE JSSC, Vol. sc-24, PP.1433-1439, 1989.

【0034】

【発明が解決しようとする課題】

上述した4セグメント型レイアウトスキームは、中心点型レイアウトスキームに比して優れたマッチング特性を発揮することができる。しかしながら、4セグメント型レイアウトスキームは大きなパターン面積を必要とするという欠点があった。

【0035】

【課題を解決するための手段】

本発明の回路レイアウト構造は、精密なマッチングが要求される一対のトランジスタ図1に示すように、4行4列のマトリクスに配置されたサブトランジスタに分割し、それぞれ4つのサブトランジスタから成る4つのセルを構成し、各セルに属するサブトランジスタが共通の中心点を有するようにしたレイアウト構造

である。

【0036】

これにより、一对のトランジスタのマッチングは4セグメント型レイアウトスキームのそれと同程度に優れ、しかもパターン面積が小さいレイアウト構造を実現することができる。

【0037】

【発明の実施の形態】

次に本発明の実施形態について図面を参照しながら詳細に説明する。図1はマルチプル共通中心点型のレイアウト構造 (Multiple-Common-Centroid layout configuration) を示す図であり、図2は図1の等価回路を示す図である。M1, M2はマッチングがとられるべきMOS電界効果型トランジスタである。メイントランジスタである第1のトランジスタM1は8個のサブトランジスタMS11, MS12, MS13, MS14, MS15, MS16, MS17, MS18に分割されている。これらのサブトランジスタはゲート、ドレイン及びソースは共通に接続され、第1のトランジスタM1を形成している。

【0038】

また、同様に、メイントランジスタである第2のトランジスタM2も8個のサブトランジスタMS21, MS22, MS23, MS24, MS25, MS26, MS27, MS28に分割されている。そして、これらのサブトランジスタはゲート、ドレイン及びソースは共通に接続され、第2のトランジスタM2を形成している。

【0039】

第1のトランジスタM1と第2のトランジスタM2とで差動アンプの差動入力ペアトランジスタを構成することができる。また、第1のトランジスタM1と第2のトランジスタM2とでカレントミラーを構成する場合には、それぞれのサブトランジスタのゲート同士を共通に接続すれば良い。

【0040】

第1及び第2のトランジスタM1, M2を構成している上記の16個のサブトランジスタは、全体として見ると4行4列のマトリクスに配置されている。この

マトリクスは4つのセルから構成されている。第1のセルC1は、サブトランジスタMS11, MS12、サブトランジスタMS21, MS22によって構成されている。

【0041】

第2のセルC2は、サブトランジスタMS13, MS14、サブトランジスタMS23, MS24によって構成されている。第3のセルC3は、サブトランジスタMS15, MS16、サブトランジスタMS25, MS26によって構成されている。第4のセルC4は、サブトランジスタMS17, MS18、サブトランジスタMS27, MS28によって構成されている。

【0042】

第1のセルC1について詳細に説明すると、第1行第1列にサブトランジスタMS21、第2行第2列にサブトランジスタMS22が配置され、第2行第1列にサブトランジスタMS11、第2行第1列にサブトランジスタMS12が配置されおり、これらのサブトランジスタは共通の中心点P1を有している。

【0043】

これらのサブトランジスタは列方向にソースドレインが平行に配置され、行方向にゲートが平行に配置されている。そして、第2のセルC2、第3のセルC3、第4のセルC4は第1のセルC1を基に対称配置により構成されている。これらの第2のセルC2、第3のセルC3、第4のセルC4はそれぞれの共通の中心点P2, P3, P4を有している。

【0044】

図3はその対称配置の概念をわかりやすく説明したレイアウト図である。図において、第1のトランジスタM1を構成するサブトランジスタに「1」の符号を付し、第2のトランジスタM2を構成するサブトランジスタに「2」の符号を付している。この図からわかるように、第2のセルC2は第1のセルC1を対称線MR1に対して線対称（ミラー対称）に配置することで得られる。また、第3のセルC3は第1のセルC1を対称線MR2に対して線対称に配置することで得られる。第4のセルC4は第2のセルC2を対称線MR2に対して線対称に配置することで得られる。

【0045】

こうして、第1のトランジスタM1及び第2のトランジスタM2の回路レイアウト構造が得られる。これを1つのマクロセルMC1とすると、このマクロセルMC1を基に、対称線MR3に対して線対称なマクロセルMC2が得られる。そして、更にマクロセルMC1, MC2を基に、対称線MR4に対して線対称なマクロセルMC3, MC4を得ることができる。

【0046】

更に、マクロセルMC1, MC2, MC3, MC4を対称線MR5に対して線対称に配置して不図示のマクロセルを構成することができる。このような対称配置を繰り返すことによりマクロセルを無限に増やすことができる。

【0047】

次に、前述したしきい値電圧モデルを上記の16個のサブトランジスタに適用すると、各サブトランジスタのしきい値は以下の式で与えられる。図1において、原点O、勾配振幅 α 及び勾配方位角 θ が定義されている。

【0048】

【数14】

$$\text{MS11: } V_{T11} = V_T + \alpha \left(\frac{3W_s}{2} + d_1 \right) \cos \theta + \alpha \left(\frac{7L_s}{2} + 2d_2 + d_3 \right) \sin \theta$$

【0049】

【数15】

$$\text{MS12: } V_{T12} = V_T + \frac{W_s}{2} \alpha \cos \theta + \alpha \left(\frac{5L_s}{2} + d_2 + d_3 \right) \sin \theta$$

【0050】

【数16】

$$\text{MS13: } V_{T13} = V_T + \alpha \left(\frac{5W_s}{2} + 2d_1 \right) \cos \theta + \alpha \left(\frac{7L_s}{2} + 2d_2 + d_3 \right) \sin \theta$$

【0051】

【数17】

$$\text{MS14: } V_{r14} = V_T + \alpha \left(\frac{7W_s}{2} + 3d_1 \right) \cos \theta + \alpha \left(\frac{5L_s}{2} + d_2 + d_3 \right) \sin \theta$$

【0052】

【数18】

$$\text{MS15: } V_{r15} = V_T + \frac{W_s}{2} \alpha \cos \theta + \alpha \left(\frac{3L_s}{2} + d_2 \right) \sin \theta$$

【0053】

【数19】

$$\text{MS16: } V_{r16} = V_T + \alpha \left(\frac{3W_s}{2} + d_1 \right) \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

【0054】

【数20】

$$\text{MS17: } V_{r17} = V_T + \alpha \left(\frac{7W_s}{2} + 3d_1 \right) \cos \theta + \alpha \left(\frac{3L_s}{2} + d_2 \right) \sin \theta$$

【0055】

【数21】

$$\text{MS18: } V_{r18} = V_T + \alpha \left(\frac{5W_s}{2} + 2d_1 \right) \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

【0056】

【数 2 2】

$$\text{MS21: } V_{T21} = V_T + \frac{W_s}{2} \alpha \cos \theta + \alpha \left(\frac{7L_s}{2} + 2d_2 + d_3 \right) \sin \theta$$

【0 0 5 7】

【数 2 3】

$$\text{MS22: } V_{T22} = V_T + \alpha \left(\frac{3W_s}{2} + d_1 \right) \cos \theta + \alpha \left(\frac{5L_s}{2} + d_2 + d_3 \right) \sin \theta$$

【0 0 5 8】

【数 2 4】

$$\text{MS23: } V_{T23} = V_T + \alpha \left(\frac{7W_s}{2} + 3d_1 \right) \cos \theta + \alpha \left(\frac{7L_s}{2} + 2d_2 + d_3 \right) \sin \theta$$

【0 0 5 9】

【数 2 5】

$$\text{MS24: } V_{T24} = V_T + \alpha \left(\frac{5W_s}{2} + 2d_1 \right) \cos \theta + \alpha \left(\frac{5L_s}{2} + d_2 + d_3 \right) \sin \theta$$

【0 0 6 0】

【数 2 6】

$$\text{MS25: } V_{T25} = V_T + \alpha \left(\frac{3W_s}{2} + d_1 \right) \cos \theta + \alpha \left(\frac{3L_s}{2} + d_2 \right) \sin \theta$$

【0 0 6 1】

【数 2 7】

$$\text{MS26: } V_{T26} = V_T + \frac{W_s}{2} \alpha \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

【0062】

【数28】

$$\text{MS27: } V_{T27} = V_T + \alpha \left(\frac{5W_s}{2} + 2d_1 \right) \cos \theta + \alpha \left(\frac{3L_s}{2} + d_2 \right) \sin \theta$$

【0063】

【数29】

$$\text{MS28: } V_{T28} = V_T + \alpha \left(\frac{7W_s}{2} + 3d_1 \right) \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

【0064】

数14～数29において、 d_1 は隣接するサブトランジスタのドレイン（ソース）間の距離、 d_2 、 d_3 は隣接するサブトランジスタ間のゲート間の距離、 W_s はサブトランジスタのゲート幅、 L_s はサブトランジスタのゲート長である。

【0065】

次に、HSPICEを用いたシミュレーションについて説明する。このシミュレーションの目的は、勾配方位角 θ の変化に対して、各種のトランジスタマッチング・レイアウトがどのような特性を示すかをチェックすることである。すべてのシミュレーションに共通なパラメータは、 $d_1 = d_2 = d_3$

$4 \mu\text{m}$ 、 $\alpha = 0.5 \text{ mV}/\mu\text{m}$ 、 $V_T = 0.7 \text{ V}$ である。

【0066】

図4はシミュレーションに用いた回路の回路図を示す。メイントランジスタである第1のトランジスタM1はN個のサブトランジスタMS11～MS1Nから構成され、これらのゲートに共通にバイアス電圧 V_B が印加されている。また、サブトランジスタMS11～MS1Nの共通のドレインD1は抵抗Rを通して高い電源 V_{dd} が印加されている。またサブトランジスタMS11～MS1Nの共通のソースS1は低い電源 V_{ss} が印加されている。

【0067】

また、メイントランジスタである第2のトランジスタM2はN個のサブトラン

ジスタMS21～MS2Nから構成され、これらのゲートに共通にバイアス電圧 V_B が印加されている。また、サブトランジスタMS21～MS2Nの共通のドレインD2は抵抗Rを通して高い電源 V_{dd} が印加されている。またサブトランジスタMS21～MS2Nの共通のソースS2は低い電源 V_{ss} が印加されている。

【0068】

ここで、すべてのシミュレーションの実行に対して、百分率ミスマッチ (Percentage Mismatch) を次式によって定義する。

【0069】

【数30】

$$\text{百分率ミスマッチ (Percentage Mismatch)} = \frac{I_{M2} - I_{M1}}{I_{M1}} \times 100$$

【0070】

ここで、 I_{M1} は第1のトランジスタM1を流れる電流、 I_{M2} は第2のトランジスタM2を流れる電流である。異なるトランジスタマッチング・レイアウトの特性を比較するために2セットのシミュレーションを行った。第1セットでは、サブトランジスタのサイズが全てのレイアウトスキームについて、 $W_S = 10 \mu\text{m}$ 、 $L_S = 10 \mu\text{m}$ に設定されている。

【0071】

すると、各種のレイアウトスキームの幅W及び長さLは以下の通りである。

共通中心型レイアウト： $W = 20 \mu\text{m}$ $L = 10 \mu\text{m}$

4セグメント型レイアウト： $W = 40 \mu\text{m}$ $L = 10 \mu\text{m}$

マルチプル共通中心点型レイアウト： $W = 80 \mu\text{m}$ $L = 10 \mu\text{m}$

図5はこの第1セットのシミュレーション結果を示す図である。横軸は勾配方位角 θ 、縦軸は百分率ミスマッチ(%)を示している。この結果から明らかなように、本発明のマルチプル共通中心点型レイアウトは共通中心点型レイアウトに匹敵するマッチング特性の改善を示している。すなわち、マルチプル共通中心点型レイアウトの百分率ミスマッチ(%)は、共通中心点型レイアウトのそれより

3桁も小さい。

【0072】

第2セットのシミュレーションは、第1のトランジスタM1及び第2のトランジスタM2のサイズが、すべてのレイアウトスキームについて等しいという条件の下に実行された。すなわち、第1のトランジスタM1及び第2のトランジスタM2の幅Wは $80\mu\text{m}$ 、長さWを $10\mu\text{m}$ とした。すると、各種のレイアウトスキームのサブトランジスタの大きさは以下の通りになる。

【0073】

共通中心型レイアウト:	$W_S = 40\mu\text{m}$	$L_S = 10\mu\text{m}$
4セグメント型レイアウト:	$W_S = 20\mu\text{m}$	$L_S = 10\mu\text{m}$
マルチプル共通中心点型レイアウト:	$W_S = 10\mu\text{m}$	$L_S = 10\mu\text{m}$

図6は第2セットのシミュレーション結果を示す図である。横軸は勾配方位角 θ 、縦軸は百分率ミスマッチ(%)を示している。この結果から明らかなように、本発明のマルチプル共通中心点型レイアウトの百分率ミスマッチ(%)は他のレイアウトのいずれに比較しても改善されている。

【0074】

また、本発明のマルチプル共通中心点型レイアウトは、4セグメント型レイアウトに比してレイアウト領域が少ないという特徴を有している。このマルチプル共通中心点型レイアウトによるマッチング改善効果は、共通中心点型レイアウトに比べて少しだけレイアウト領域を余分に必要とするだけで得ることができる。

【0075】

表1は、3つの異なるレイアウトスキームの面積を計算する式と、与えられた1セットのパラメータに対して計算された面積を示している。メイントランジスタである第1のトランジスタM1及び第2のトランジスタM2の大きさは、すべてのレイアウトスキームに対して、幅Wは $80\mu\text{m}$ 、長さWは $10\mu\text{m}$ であり、 $d_1 = d_2 = d_3 = 4\mu\text{m}$ である。

【0076】

共通中心点型レイアウトでは、それぞれのメイントランジスタが2つのサブトランジスタに分割され、それぞれのサブトランジスタの幅 W_S は $40\mu\text{m}$ 、長さ

L_S は $10\mu\text{m}$ である。4セグメント型レイアウトでは、それぞれのメイントランジスタが4つのサブトランジスタに分割され、それぞれのサブトランジスタの幅 W_S は $20\mu\text{m}$ 、長さ L_S は $10\mu\text{m}$ である。

【0077】

本発明のマルチプル共通中心点型レイアウトではそれぞれのメイントランジスタが8つのサブトランジスタに分割され、それぞれのサブトランジスタの幅 W_S は $10\mu\text{m}$ 、長さ L_S は $10\mu\text{m}$ である。

【0078】

【表1】

レイアウトタイプ	面積評価式	計算された面積 [$W=80\mu\text{m}, L=10\mu\text{m}, d_1=d_2=d_3=4\mu\text{m}$]
共通中心点型	$(2L_S+d_2)(2W_S+d_1)$	$2.016\text{e-}9\text{m}^2$ [$W_S=40\mu\text{m}$ $L_S=10\mu\text{m}$]
4セグメント型	$(2W_S+2L_S+3d_1)(2W_S+2L_S+3d_1)$	$5.184\text{e-}9\text{m}^2$ [$W_S=20\mu\text{m}$ $L_S=10\mu\text{m}$]
マルチ共通中心点型	$(4L_S+2d_2+d_3)(4W_S+3d_1)$	$2.704\text{e-}9\text{m}^2$ [$W_S=10\mu\text{m}$ $L_S=10\mu\text{m}$]

* L_S と W_S はサブトランジスタのサイズを表す

* L と W は全体トランジスタのサイズを表す

【0079】

【発明の効果】

本発明のマルチプル共通中心点型レイアウトによれば、4セグメント型レイアウトに匹敵するマッチング特性が得られ、しかもレイアウト領域を少なくできるという効果を有する。

【0080】

特に、本発明のレイアウトをオペアンプの差動トランジスタペアやカレントミラーを構成するトランジスタペアに適用することにより、低オフセットのオペア

ンプを実現することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係るマルチプル共通中心点型のレイアウト構造を示す平面図である。

【図 2】

本発明の実施形態に係るマルチプル共通中心点型のレイアウト構造の等価回路図である。

【図 3】

本発明の実施形態に係るマルチプル共通中心点型のレイアウト構造の概念図である。

【図 4】

各種のレイアウトのシミュレーションに用いた回路の回路図である。

【図 5】

HSPICEを用いたシミュレーションの結果を示す図である。

【図 6】

HSPICEを用いたシミュレーションの結果を示す図である。

【図 7】

差動ゲイン段を示す回路図である。

【図 8】

共通中心点型レイアウトスキームを示す平面図である。

【図 9】

共通中心点型レイアウトスキームの等価回路図である。

【図 10】

4セグメント型レイアウトスキームを示す平面図である。

【図 11】

4セグメント型レイアウトスキームの等価回路図である。

【符号の説明】

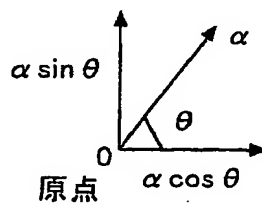
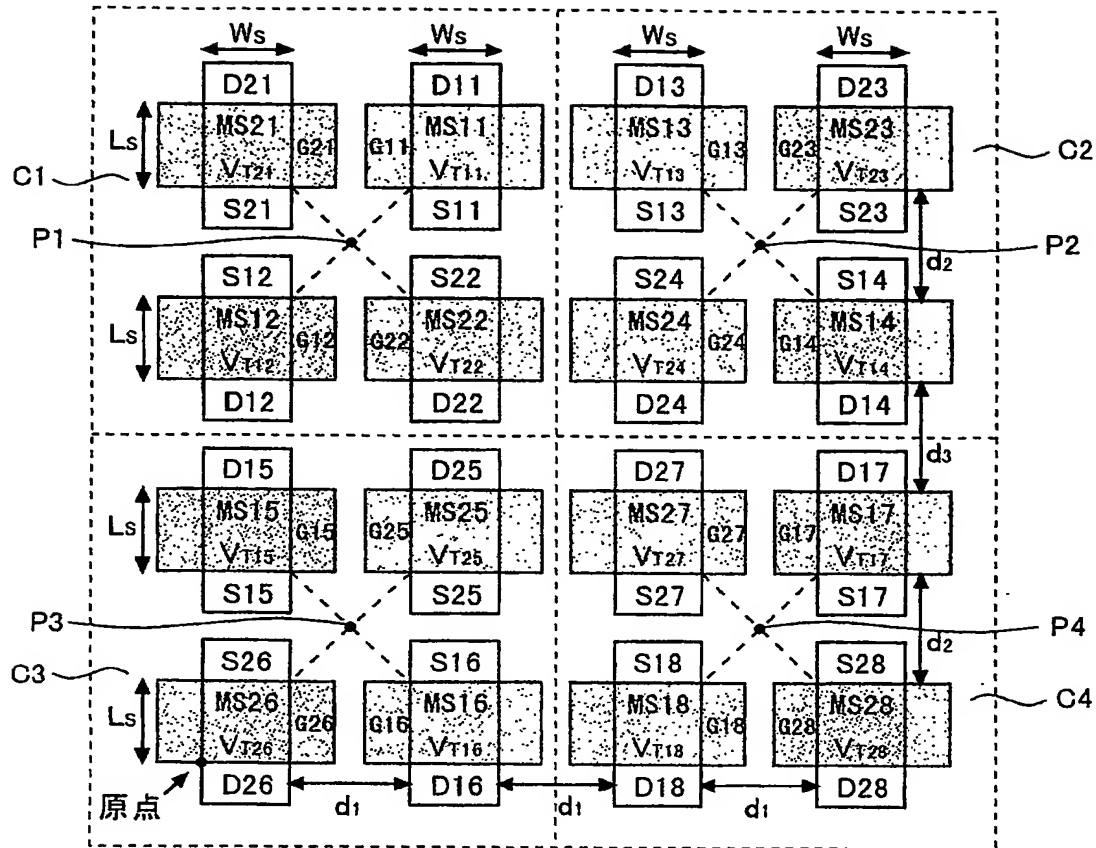
M1

第1のトランジスタ

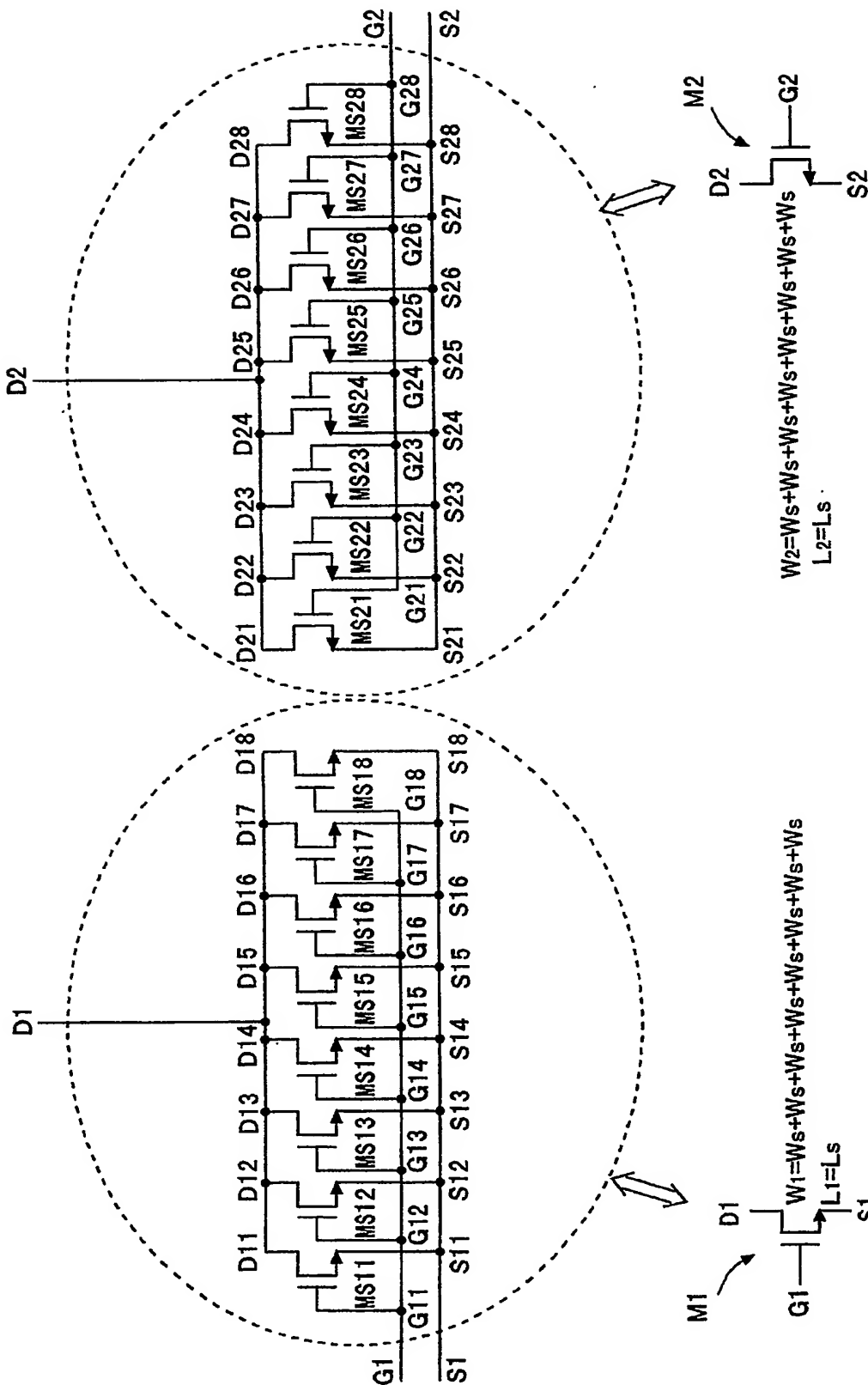
M 2	第 2 のトランジスタ
MS 1 1 ~ MS 2 8	サブトランジスタ
P 1 , P 2 , P 3 , P 4	共通の中心点
C 1	第 1 のセル
C 2	第 2 のセル
C 3	第 3 のセル
C 4	第 4 のセル
MC 1	マクロセル

【書類名】 図面

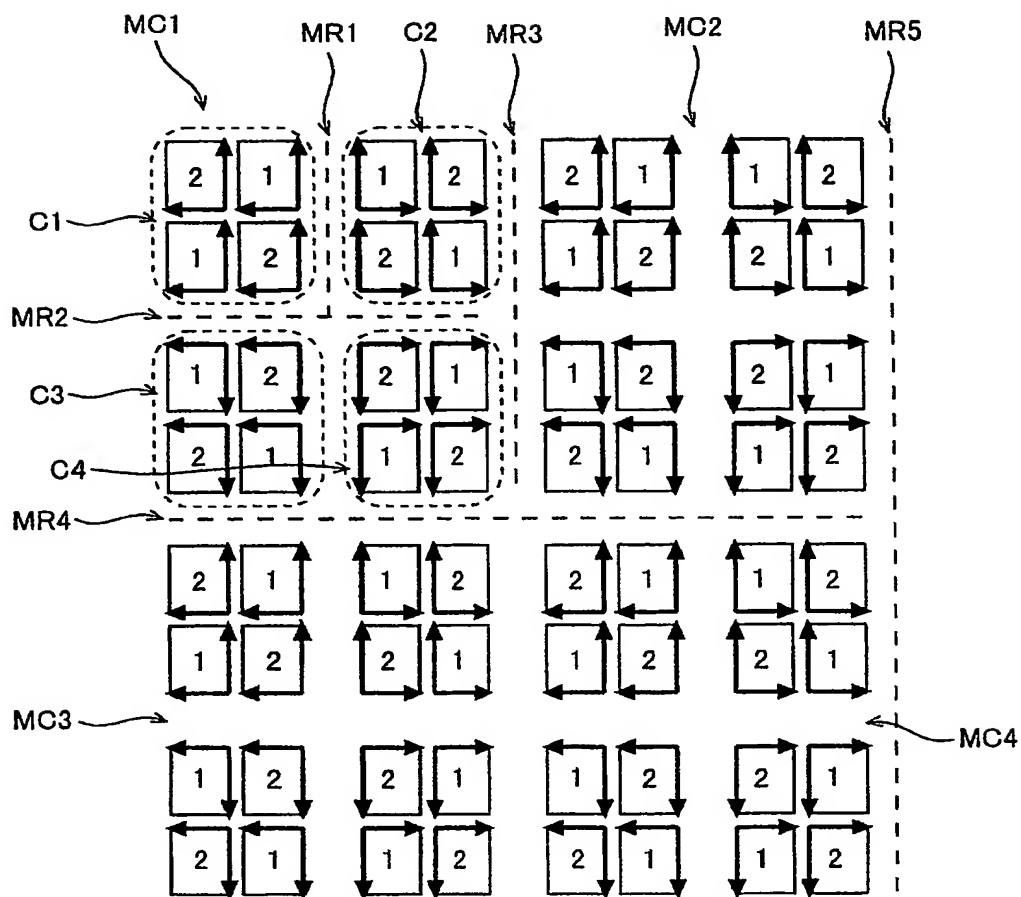
【図 1】



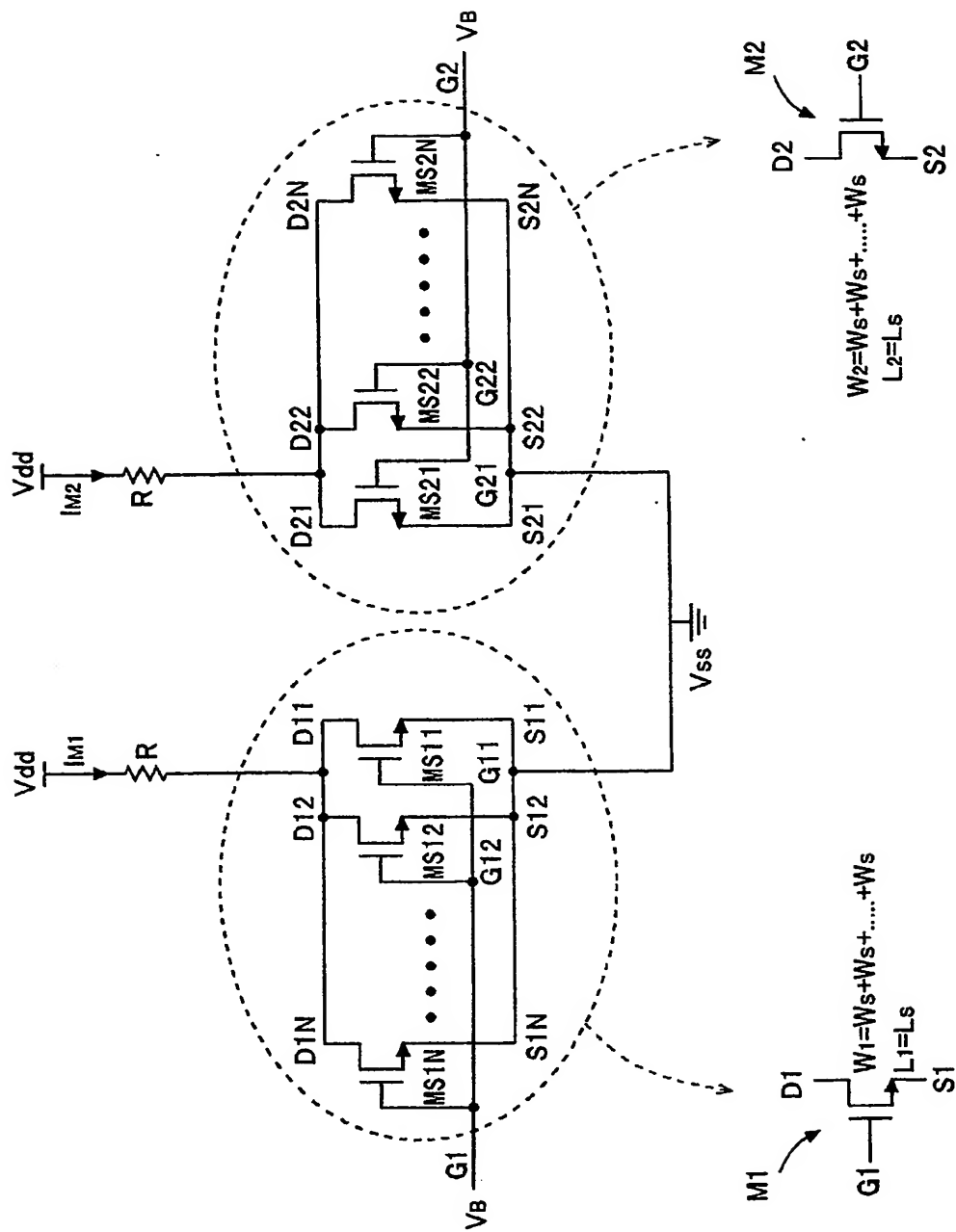
【図 2】



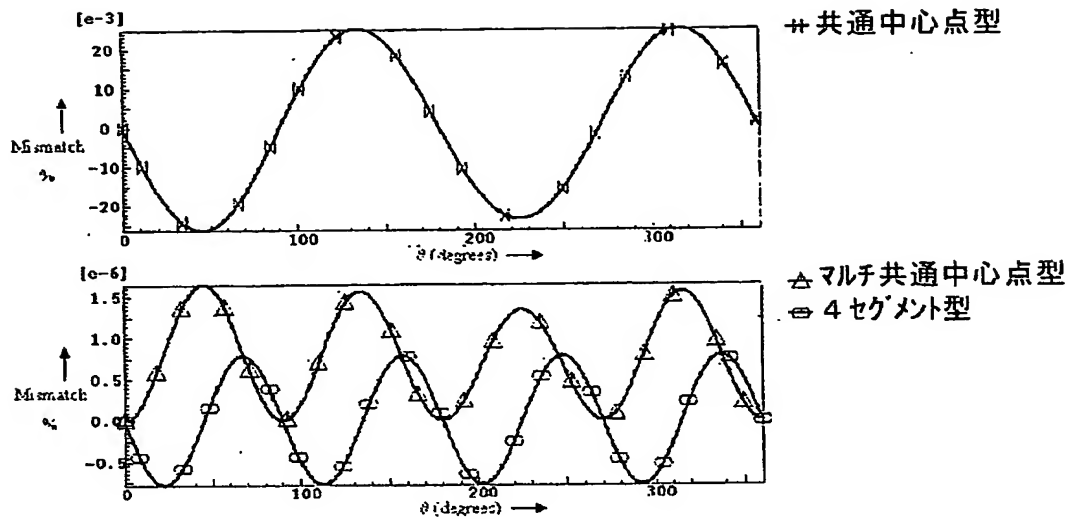
【図 3】



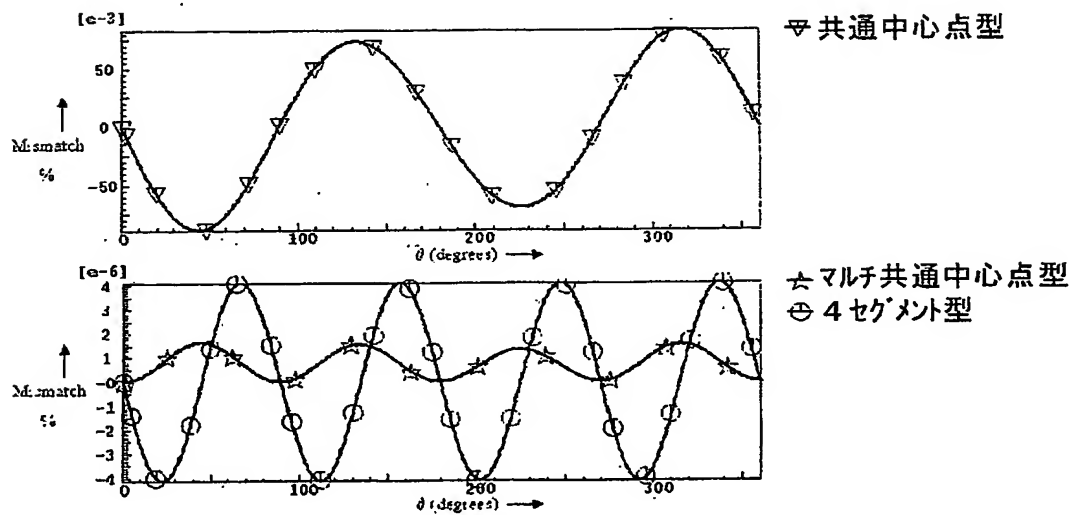
【図 4】



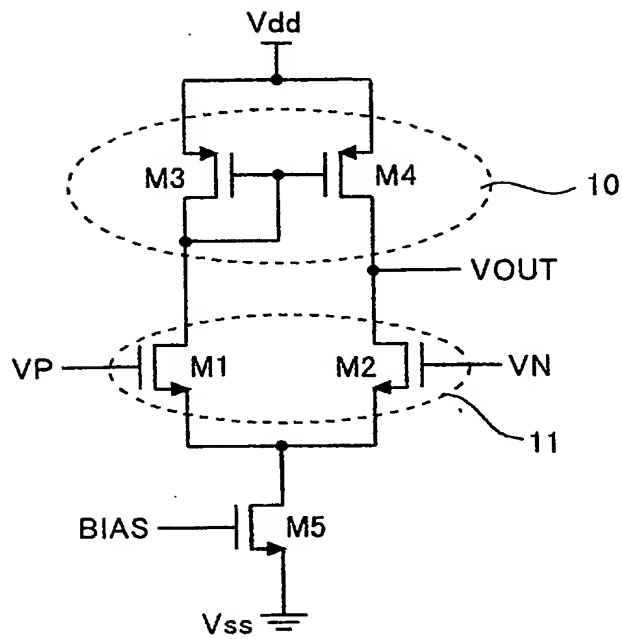
【図5】



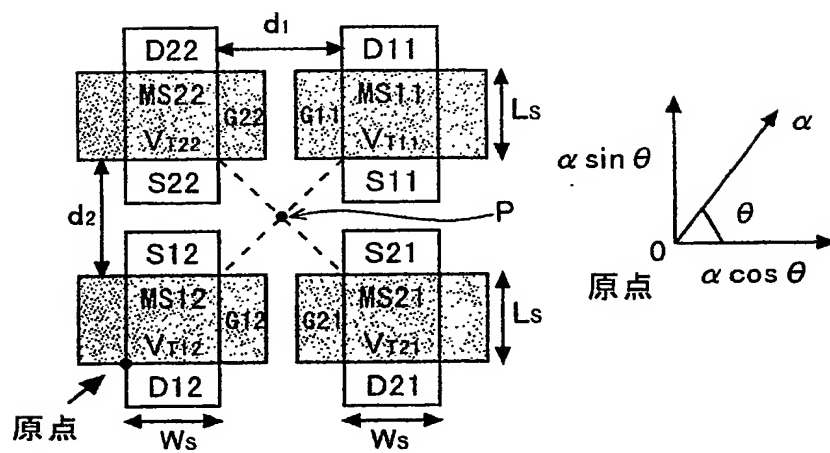
【図6】



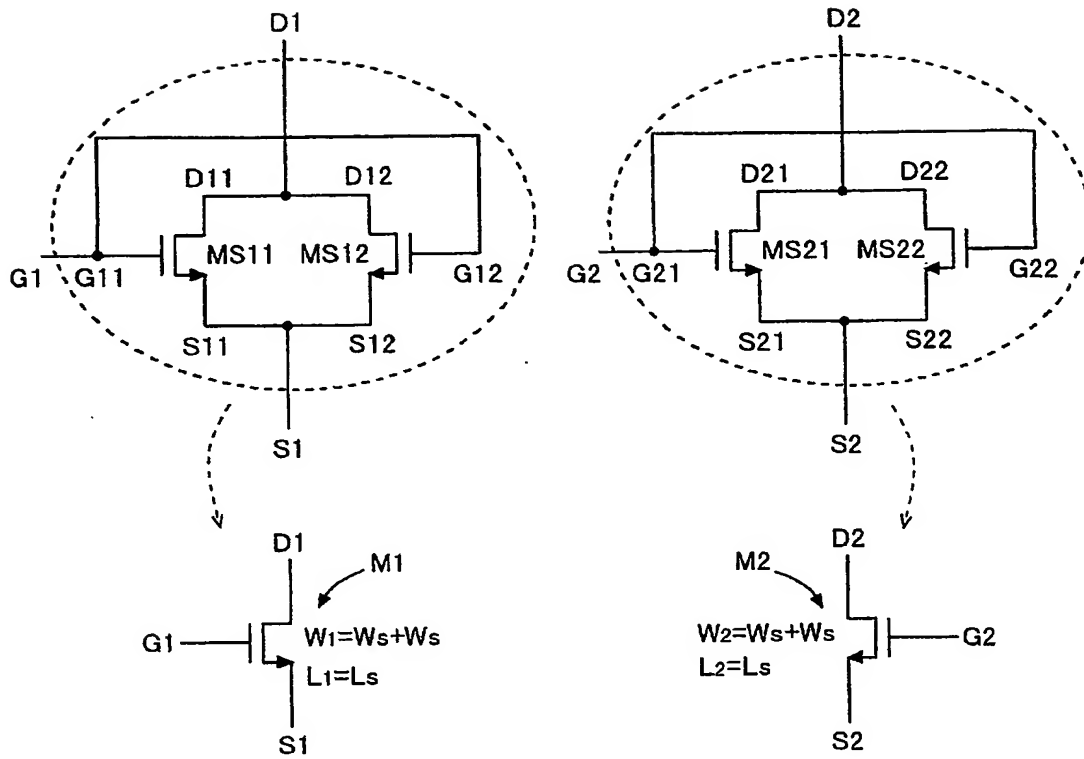
【図 7】



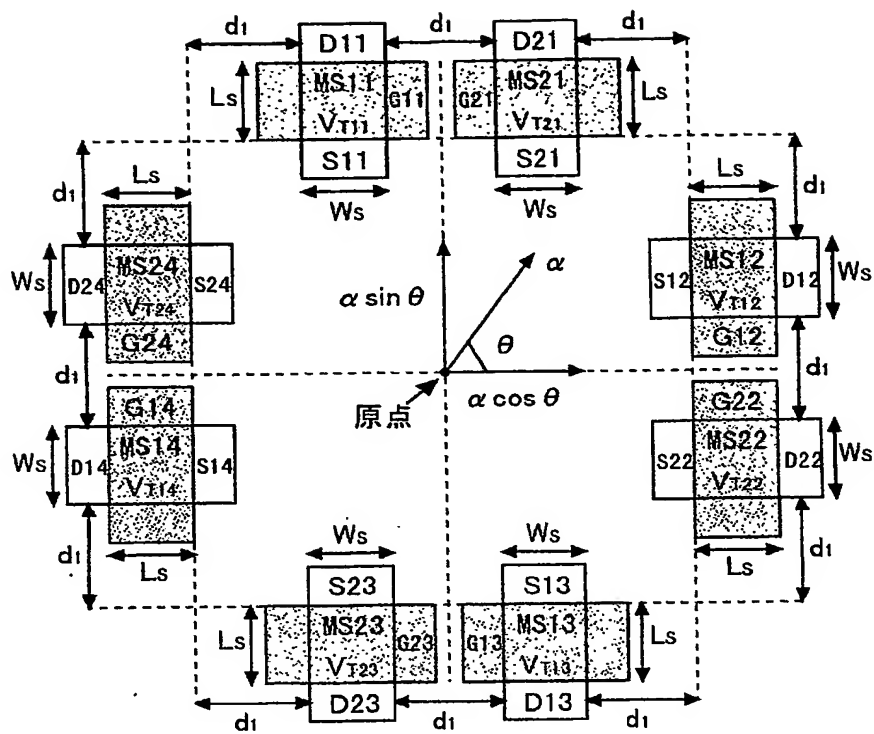
【図 8】



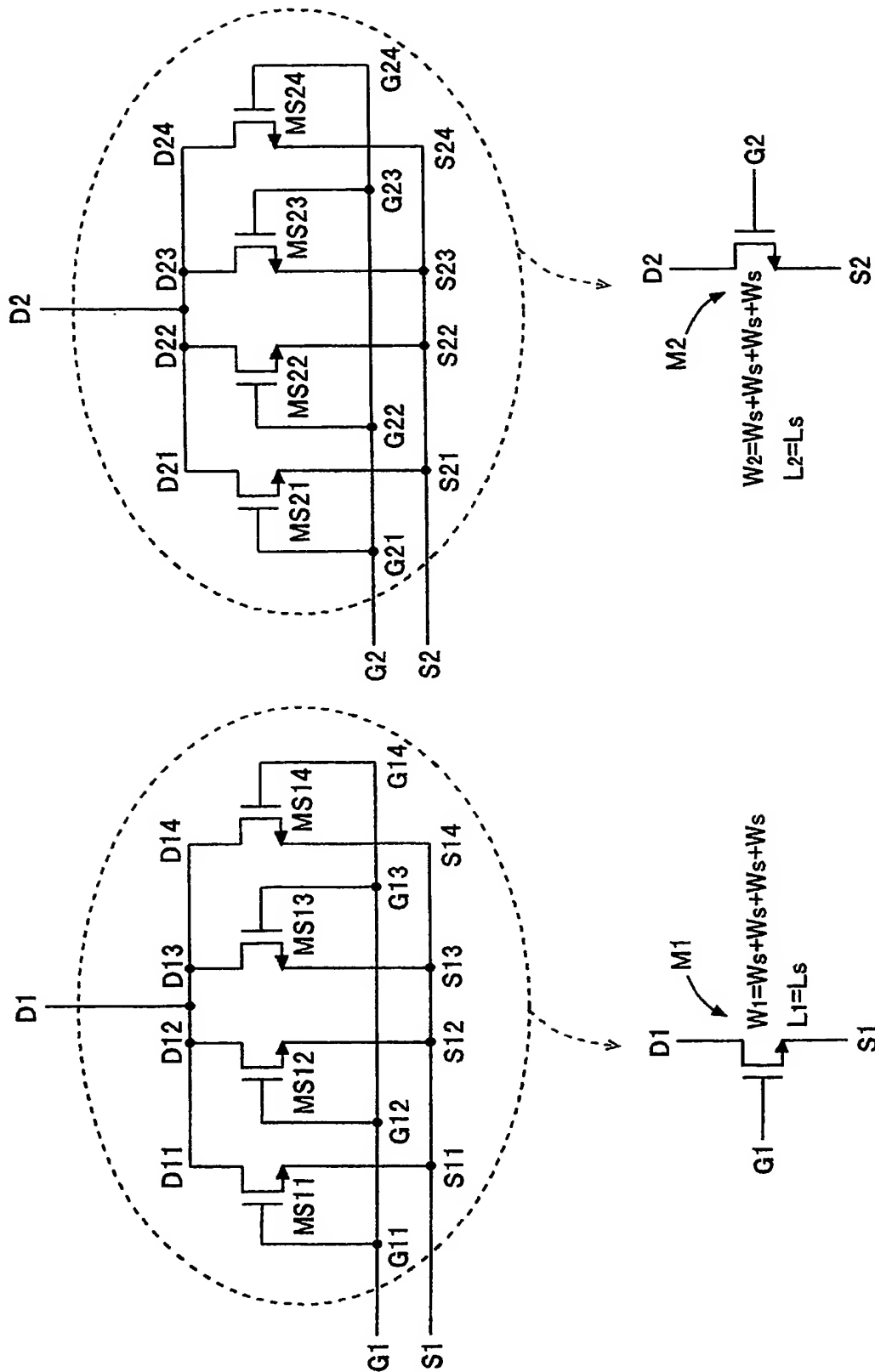
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 一对のトランジスタのマッチング特性を向上させ、かつレイアウト面積を小さくする。

【解決手段】 メイントランジスタM1, M2を4行4列のマトリクスに配置されたサブトランジスタに分割し、それぞれ4つのサブトランジスタから成る4つのセルを構成し、各セルに属するサブトランジスタが共通の中心点を有するようにした。これにより、メイントランジスタM1, M2のトランジスタのマッチングは4セグメント型レイアウトスキームのそれと同程度に優れ、しかもパターン面積が小さいレイアウト構造を実現することができる。

【選択図】 図1

特願2002-351187

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通2丁目5番5号

氏 名

三洋電機株式会社